

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 01-173391

(43) Date of publication of application : 10.07.1989

(51)Int.Cl. G11C 11/34

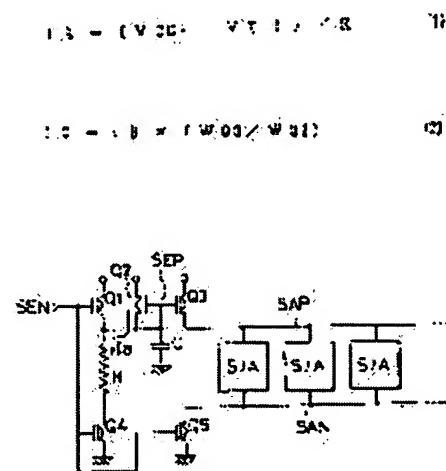
(21)Application number : 62-330086 (71)Applicant : TOSHIBA CORP  
(22)Date of filing : 28.12.1987 (72)Inventor : FUJII HIDETAKE

## (54) MOS TYPE CHARGING AND DISCHARGING CIRCUIT

(57) Abstract:

**PURPOSE:** To obtain a charging and discharging circuit for large capacity load of satisfactory controllability by setting the thresholds of first and second pchFETs to be almost equal and causing the channel width of the second FET to be an f-fold channel width of the first FET.

**CONSTITUTION:** At first, a sense enable terminal SEN is low and an nchFET Q4 is turned off. Then, a pchFET Q1 is turned on and charged to capacity C. A connecting point SEP of the gate of Q2 and Q3 and the C is high and the Q3 is turned off. When the terminal SEN goes to be high, the Q4 is turned on and the Q2 is turned on by the discharging of the C. After the connecting point SEP is determined by the value of a CR, it goes to be a constant potential. When the impedances of the FET Q2 and Q4 is enough smaller than an R, and the threshold of the Q2 is VTP and the potential of the connecting point SEP is VCC, a bias current IB flowing in the Q4 is used and a charging current IC flowing in the Q3 can be calculated by using channel widths WQ3 and WQ2. Thus, when the dimension ratio of the R, WQ2 and WQ3 is determined, the peak value of the charging rising characteristic of the current can be also controlled according to the value.



## **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP) ⑩ 特許出願公開  
 ⑪ 公開特許公報(A) 平1~173391

⑤Int.Cl.<sup>4</sup>  
 G 11 C 11/34

識別記号 353 厅内整理番号 E-8522-5B

⑥公開 平成1年(1989)7月10日

審査請求 有 発明の数 1 (全5頁)

⑦発明の名称 MOS型充放電回路

⑧特願 昭62-330086

⑨出願 昭62(1987)12月28日

⑩発明者 藤井秀杜 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑪出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑫代理人 井理士 鈴江武彦 外2名

明細書

1. 発明の名称

MOS型充放電回路

2. 特許請求の範囲

(1). 第1及び第2のMOSトランジスタの一方の端子を第1の電極端子に接続し、上記第2のMOSトランジスタの他方の端子を負荷回路に接続し、上記第1のMOSトランジスタの他方の端子及びゲート端子と上記第2のMOSトランジスタのゲート端子とを共通にインピーダンス素子を介して上記一方の電極端子とは異なる他方の電極端子に接続し、容盛素子を上記第2のMOSトランジスタのゲート電極に接続し、上記第1及び第2のMOSトランジスタの調節抵抗を大略等しく設定し、上記第2のMOSトランジスタのチャネル幅を上記第1のMOSトランジスタのチャネル幅より大きく設定し、上記インピーダンス素子の抵抗値を上記第1のMOSトランジスタの等価インピーダンスより大きく設定したことを特

徴とするMOS型充放電回路。

(2). スイッチング素子を上記一方の電極端子と上記インピーダンス素子及び上記第1MOSトランジスタの他方の端子との間に設けたことを特徴とする特許請求の範囲第1項記載のMOS型充放電回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、大容量負荷を充放電するMOS型充放電回路に関し、特に、充放電電流の立ち上りやピークを制御することが可能なMOS型充放電回路に関するもの。

(従来技術)

従来、同期型MOSメモリにおいては、チップ内の大容量負荷を充電・放電する動作、例えばダイナミック・ランダム・アクセス・メモリのセンス、リストア等の動作がしばしば見られる。このような場合、充放電動作に伴う電源電流の急激な立ち上りや電源電流の高いピークは、チップ内部の電源ノイズの原因となり、メモリの不良原因や動

特開平1-173391(2)

行マージンの劣化を招来する。このような事態発生を防止すべく從来より電源電流の立上りや電源電流の高いピークを抑制する工夫がなされている。例えば、K. Shiohigashi et al., "A 65ns CMOS DRAM with a Twisted Driveline Sense Amplifier", ISSCC 87 Digest p.18~p.19に見て見られるような方法がある。これは、第3図に示す如くセンスアンプ駆動回路に於いて充電を行うMOSトランジスタをMOSトランジスタQ<sub>1</sub>, Q<sub>2</sub>, Q<sub>3</sub>に分割して、夫々のトランジスタQ<sub>1</sub>, Q<sub>2</sub>, Q<sub>3</sub>を位相差を有するPチャンネルのセンスイネイブル信号S<sub>E</sub>P<sub>1</sub>, S<sub>E</sub>P<sub>2</sub>, S<sub>E</sub>P<sub>3</sub>で駆動する。駆動タイミングは、第4図に示す如くに示され、電源電流のピークが3つの小さなピークに分割され、並ね合わされる。

## (従来技術の問題点)

然し、上記のような方法は以下の如き問題点を有する。第1に遅延回路D<sub>C</sub>1, D<sub>C</sub>2, D<sub>C</sub>3等多くの素子を必要とし、チップ面積が増加する。

## (問題点を解決するための手段)

## (発明の構成)

この発明は、第1及び第2のPチャンネルMOSトランジスタのソース端子を電源端子に接続し、第2のPチャンネルMOSトランジスタのドレイン端子をセンサシングより成る負荷回路に接続し、第1のPチャンネルMOSトランジスタのドレイン端子及びゲート端子と第2のアーチャンネルMOSトランジスタのゲート端子とを共通に接続して、第2のアーチャンネルMOSトランジスタのゲート端子を第2のPチャンネルMOSトランジスタのゲート端子に接続して成り、第1, 第2PチャンネルMOSトランジスタの閾値電圧を大幅に設定し、第2のPチャンネルMOSトランジスタのチャンネル幅を第1のPチャンネルMOSトランジスタのチャンネル幅の1倍としたものである。

## (発明の作用)

上記の様にこの発明は、第1, 第2のPチャン

ネルMOSトランジスタの閾値電圧を大幅に設定し、第2のPチャンネルMOSトランジスタのチャンネル幅を第1のPチャンネルNOSトランジスタのチャンネル幅の1倍としているので、第2のPチャンネルMOSを流れる充電電流は第1のPチャンネルMOSトランジスタと抵抗を流れる電流の1倍となる。

## (発明の目的)

この発明は、上記の問題点を解決すべく為されたもので、素子数を少く設計並、制御性に優れ、大容量負荷を駆動することが可能なMOS型充放電回路を提供することを目的とするものである。

ネルMOSトランジスタの閾値電圧を大幅に設定し、第2のPチャンネルMOSトランジスタのチャンネル幅を第1のPチャンネルNOSトランジスタのチャンネル幅の1倍としているので、第2のPチャンネルMOSを流れる充電電流は第1のPチャンネルMOSトランジスタと抵抗を流れる電流の1倍となる。

## (実施例)

この発明による実施例を図面に基づき説明する。第1図(1)は、この発明によるMOS型充放電回路の一実施例を示すものである。PチャンネルMOSトランジスタQ<sub>1</sub>, Q<sub>2</sub>, Q<sub>3</sub>のソース端子が夫々電源端子に接続され、トランジスタQ<sub>1</sub>のゲート端子は、センスイネイブル端子S<sub>E</sub>Nに接続されている。トランジスタQ<sub>3</sub>のドレイン端子は複数のセンスアンプS/Aより成る負荷回路LCに接続され、トランジスタQ<sub>1</sub>のドレイン端子とゲート端子とトランジスタQ<sub>3</sub>のゲート端子とは容量素子であるコンデンサCに接続されている。トランジスタQ<sub>1</sub>とトランジスタ

## 特開平1-173391(3)

Q<sub>2</sub> のドレイン端子は、抵抗 R に接続され、更に、抵抗 R は、N チャンネルトランジスタ Q<sub>4</sub> を介して接続されている。トランジスタ Q<sub>4</sub> のゲート端子はセンシスイネイブル端子 S<sub>EN</sub> に接続されている。また、センシスイネイブル端子 S<sub>EN</sub> は、N チャンネル MOS トランジスタ Q<sub>5</sub> のゲート端子にも接続されている。負荷回路 LD は、P チャンネル・コモン・ソース端子 C<sub>S P</sub> を介してトランジスタ Q<sub>3</sub> のドレイン端子に接続され、また、N チャンネル・コモン・ソース端子 C<sub>S N</sub> を介してトランジスタ Q<sub>5</sub> のドレイン端子に接続されている。尚、負荷回路 LD を構成するセンスアンプ S/A は、第 1 図 (b) に示す如くになっている。

上記構成のこの発明による MOS 型充放電回路の動作について説明する。第 2 図に示すタイミングチャートを参照して説明する。先ず、初期段階においては、センシスイネイブル端子 S<sub>EN</sub> は低レベルであり、N チャンネル MOS トランジスタ Q<sub>5</sub> は、オフ、P チャンネル MOS トランジスタ Q<sub>1</sub> はオンしている。この時、コンデンサ C には

過荷がチャージされておりトランジスタ Q<sub>2</sub>、Q<sub>3</sub> のゲート端子とコンデンサ C の接続点 S<sub>E P</sub> における電位は、高レベルにあり、トランジスタ Q<sub>2</sub> はオフしている。センシスイネイブル端子 S<sub>EN</sub> が高レベルになるとトランジスタ Q<sub>5</sub> がオンし、抵抗 R を通じてコンデンサ C の充電電荷が放電される。コンデンサ C の充電電荷の放電で接続点 S<sub>E P</sub> の電位が下降する。接続点 S<sub>E P</sub> の電位の下降によりトランジスタ Q<sub>3</sub> がオンし、トランジスタ

Q<sub>2</sub> を流れる電流と抵抗 R を流れる電流とのバランスがとれた時点では接続点 S<sub>E P</sub> の電位は一定となる。接続点 S<sub>E P</sub> における電位が一定となる時間はコンデンサ C の容量と抵抗の抵抗値との積で決定される。

このとき、トランジスタ Q<sub>2</sub>、Q<sub>4</sub> のインピーダンスが抵抗 R のインピーダンスより充分に小さいものと仮定すれば、接続点 S<sub>E P</sub> における電位は電源電圧 V<sub>CC</sub>、トランジスタ Q<sub>2</sub> の閾値電圧を V<sub>T P</sub> とすると、V<sub>CC</sub> - |V<sub>T P</sub>| となる。

従って、トランジスタ Q<sub>2</sub>、抵抗 R、トランジスタ Q<sub>4</sub> を流れるバイアス電流 I<sub>B</sub> は、

$$I_B = (V_{CC} - |V_{TP}|) / R \quad (1)$$

となる。

一方、トランジスタ Q<sub>3</sub> を流れる充電電流 I<sub>C</sub> は、

$$I_C = I_B \times (W_{Q3} / W_{Q2}) \quad (2)$$

となる。

ここに、W<sub>Q3</sub> は、トランジスタ Q<sub>3</sub> のチャンネル幅、W<sub>Q2</sub> は、トランジスタ Q<sub>2</sub> のチャンネル幅である。

(2) 式が成立するのはトランジスタ Q<sub>2</sub>、Q<sub>3</sub> のソース電位 (V<sub>CC</sub>)、ゲート電位 (S<sub>E P</sub>) が共通なためである。

(1) 式、(2) 式から明らかのように充電電流 I<sub>C</sub> は、トランジスタ Q<sub>2</sub>、Q<sub>3</sub> のチャンネル幅の寸法比、抵抗 R の抵抗値、電源電圧 V<sub>CC</sub>、トランジスタ Q<sub>2</sub> の閾値電圧 V<sub>TP</sub> のみで決定される。また、電源電流の立ち上り波形は抵抗 R とコンデンサ C の時定数のみで決定される。尚、実験例の説

明は、トランジスタ Q<sub>2</sub>、Q<sub>3</sub> が N チャンネル MOS トランジスタの場合について説明したが、この発明は上記のものに限定されず、トランジスタ Q<sub>2</sub>、Q<sub>3</sub> を P チャンネル MOS トランジスタ の寸法比 について適用することは勿論のことである。

## 〈発明の効果〉

この発明による MOS 型充放電回路は、回路素子の数が従来のものに比較して少なく、チップに於けるパターン面積が減少化することが出来、また、(1)、(2) 式から明らかのように抵抗 R の抵抗値とトランジスタ Q<sub>2</sub>、Q<sub>3</sub> のチャンネル幅の寸法比を決定することにより、電流ピーク値を精度良く設定することが出来る。また、電流の立ち上り特性もコンデンサ C の容量を適当な値に設定することにより、精度良く制御することが出来る。

更に、この発明による MOS 型充放電回路においては、(2) 式は、トランジスタ Q<sub>2</sub>、Q<sub>3</sub> のチャンネル幅の寸法比、即ち幾何学的なパターン寸法で決定されており、(1) 式は、抵抗 R の抵

特開平1-173391(4)

試験とトランジスタ Q2, Q3 の構造形状に依存するのみであり、デバイスパラメータによる変動が少ないので、デバイスパラメータの変動による影響を絶対受けない。

## 4. 図面の簡単な説明

第1図(a)は、この発明によるMOS型充放電回路の回路構成図。

第1図(b)は、第1図(a)に於けるセンスアンプの具体的な回路構成図。

第2図は、第1図(a)に示したこの発明によるMOS型充放電回路のタイミングチャート。

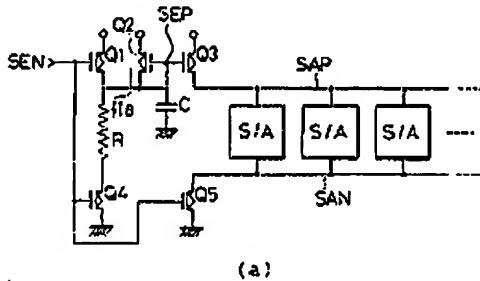
第3図は、従来のMOS型充放電回路の回路構成図。

SEN……センシティブル端子。

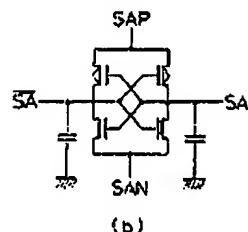
出願人代理人 井理士 沢江英吉

第4図は、第3図に示した従来のMOS型充放電回路のタイミングチャートである。

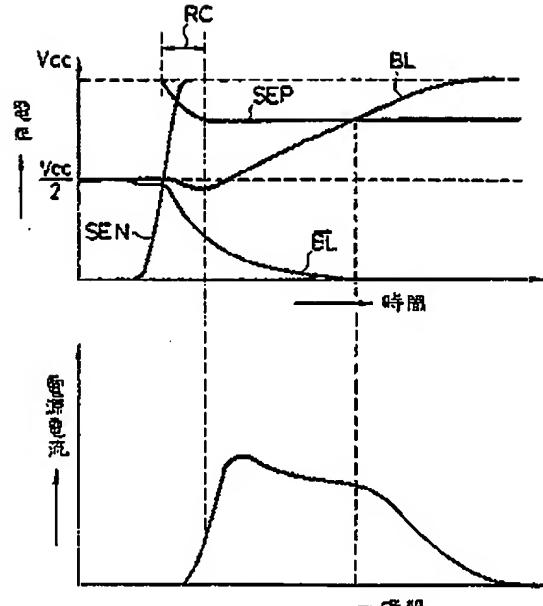
Q1, Q2, Q3 ……PチャンネルMOSトランジスタ、Q4, Q5 ……NチャンネルMOSトランジスタ、R ……抵抗、LC ……負荷回路、S/A ……センスアンプ、C ……コンデンサ、



(a)



第1図



第2図

特開平1-173391(5)

